

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **05-041481**

(43)Date of publication of application : **19.02.1993**

(51)Int.Cl.

H01L 27/04

H01H 85/175

(21)Application number : **03-196346**

(71)Applicant : **NEC CORP**

(22)Date of filing : **06.08.1991**

(72)Inventor : **HAYASHI MITSUJI**

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To prevent a laser beam from thrusting through a film to a substrate at the time of fusing a fuse.

CONSTITUTION: A first-layer polycrystalline silicon film 9 is formed between the second-layer polycrystalline silicon film 10 of a fuse element to be fused and a semiconductor substrate 1. The film 9 is provided immediately below the second interlayer insulating film 6. Therefore a laser beam hardly thrusts through the film 9 to the substrate 1 when the film 10 is irradiated with the laser beam for fusion.

CLAIMS

[Claim(s)]

[Claim 1]An integrated circuit comprising:

The 1st layer polycrystalline silicon film formed on a predetermined insulator layer of a semiconductor chip.

A fuse element containing the 2nd layer polycrystalline silicon film provided via the 1st interlayer insulation film on said 1st layer polycrystalline silicon film.

An opening for a laser beam exposure provided in the 2nd interlayer insulation film that covers the 2nd layer polycrystalline silicon film of said fuse element.

[Claim 2]An integrated circuit comprising:

A fuse element containing a polycrystalline silicon film formed on a predetermined insulator layer of a semiconductor chip.

An opening for a laser beam exposure provided in an interlayer insulation film which

covers said polycrystalline silicon film.

The 2nd conductivity-type impurity diffused layer provided in a surface part of said opening lower part of the 1st conductivity type semiconductor substrate that constitutes said semiconductor chip.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the fuse element of a type cut in the laser beam used for the PROM element for redundant bit cell substitution of a semiconductor memory device about an integrated circuit.

[0002]

[Description of the Prior Art] Conventionally this kind of fuse element comprises the polycrystalline silicon film 4 which has aluminum electrode wiring 5-15-2 of a couple provided via the 1st interlayer insulation film 3 on the field oxide 2 which used and oxidized LOCOS process thermally on the p type silicon substrate 1 as shown for example in drawing 3. Aluminum electrode wiring 5-15-2 provided via the 2nd interlayer insulation film 11 on the above-mentioned polycrystalline silicon film is connected with the polycrystalline silicon film 4 by contact hole 8-18-2. In the case of fuse fusion it is cut by irradiating with the polycrystalline silicon film 4 by a laser beam.

[0003]

[Problem(s) to be Solved by the Invention] Since this conventional fuse element formed the polycrystalline silicon film on field oxide via the 1st interlayer insulation film when cutting this in a laser beam depending on the strength of a laser beam. The 1st interlayer insulation film 3 and the field oxide 2 were broken through and there was a problem that the silicon which the p type silicon substrate surface exposed and blew out caused increase and the bad insulation of the leakage current as a result of the insulation with aluminum electrode wiring 5-15-2 and a p type silicon substrate worsening.

[0004]

[Means for Solving the Problem] The 1st layer polycrystalline silicon film formed on an insulator layer of a semiconductor chip predetermined in an integrated circuit of an invention of this application 1st It has a fuse element containing the 2nd layer polycrystalline silicon film provided via the 1st interlayer insulation film on said 1st layer polycrystalline silicon film and the opening for a laser beam exposure provided in the 2nd interlayer insulation film that covers the 2nd polycrystalline silicon film of said fuse element.

[0005]A fuse element containing a polycrystalline silicon film formed on an insulator layer of a semiconductor chip predetermined in an integrated circuit of an invention of this application 2ndIt has an opening for a laser beam exposure provided in an interlayer insulation film which covers said polycrystalline silicon film and the 2nd conductivity-type impurity diffused layer provided in a surface part of said opening lower part of the 1st conductivity type semiconductor substrate that constitutes said semiconductor chip.

[0006]

[Example]Nextthe example of this invention is described with reference to drawings.

[0007]The top view of the semiconductor chip which drawing 1 (a) shows the principal part of the 1st example of this invention and drawing 1 (b) are the X-X line sectional views of drawing 1 (a).

[0008]The 1st layer polycrystalline silicon film 9 in which this example was formed on the field oxide 2 of a semiconductor chipThe fuse element containing the 2nd layer polycrystalline silicon film 10 provided via the 1st interlayer insulation film 3 on the 1st polycrystalline silicon film 9It has the opening 7 for a laser beam exposure provided in the 2nd interlayer insulation film 6 and the cover membrane 11 which cover the 2nd layer polycrystalline silicon film 10 of the above-mentioned fuse element.

[0009]The upper part of the 1st polycrystalline silicon film 9 is crossed and the 2nd layer polycrystalline silicon film 10 is formed and is 1 micrometer in width and 4 micrometers in length.

Ohmic contact of aluminum electrode wiring 5-15-2 of a couple is carried out to the both ends.

The 1st interlayer insulation film 3 and the 2nd interlayer insulation film 6 are silicon oxide films formed with the CVD method and can provide simultaneously with formation of the load resistance of Si gate electrode and a cell the 1st and 2nd layer polycrystalline silicon films. Since there is the 1st polycrystalline silicon film 9 caused when blowing out a fuse element by a laser beam even if it blows out the 2nd layer polycrystalline silicon film 10 by a somewhat stronger laser beam the danger of breaking through field oxide decreases. Therefore** will be made if it not only can lessen the increase of the leakage current and bad insulation's generating which were described by conventional technology but probability which cannot carry out trimming thoroughly by the insufficient strength of a laser beam is made small.

[0010]Drawing 2 is a sectional view of the semiconductor chip in which the principal part of the 2nd example of this invention is shown.

[0011]The fuse element containing the polycrystalline silicon film 4 (the 1st layer polycrystalline silicon film) in which this example was formed on the 1st interlayer insulation film 3 of a semiconductor chipIt has the opening 7 for a laser beam exposure provided in the 2nd interlayer insulation film 6 and the cover membrane 11 which cover the polycrystalline silicon film 4 and the N type impurity diffused layer

provided in the opening 7 lower-surface part of the p type silicon substrate 1 which constitutes the above-mentioned semiconductor chip.

[0012] Since bias of the p type silicon substrate 1 is usually carried out to earth potential even if positive voltage is impressed to the N type impurity diffused layer 12 electric insulation will be secured and the same effect as the 1st example is acquired. In a CMOS integrated circuit the N type impurity diffused layer 12 can be formed simultaneously with N well. What is necessary is just to form a p type impurity diffusion zone in using an N-type semiconductor board (bias is carried out to power supply potential).

[0013]

[Effect of the Invention] As explained above this invention by forming the impurity diffused layer of a reverse conductivity type with a polycrystalline silicon film or a semiconductor substrate under the fuse element blown out by a laser beam is effective in the ability to make small danger of aluminum electrode wiring of the fuse element by laser beam exposure and the insulation deterioration between semiconductor substrates.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the top view (drawing 1 (a)) and sectional view (drawing 1 (b)) showing the 1st example of this invention.

[Drawing 2] It is a sectional view showing the 2nd example of this invention.

[Drawing 3] It is the top view (drawing 3 (a)) and sectional view (drawing 3 (b)) which are used for explanation of a Prior art.

[Description of Notations]

- 1 P type silicon
 - 2 Field oxide
 - 3 The 1st interlayer insulation film
 - 4 Polycrystalline silicon layer
 - 5-15-2 aluminum-electrode wiring
 - 6 The 2nd interlayer insulation film
 - 7 Opening
 - 8-18-2 contact hole
 - 9 The 1st layer polycrystalline silicon film
 - 10 The 2nd layer polycrystalline silicon film
 - 11 Cover membrane
 - 12 N type impurity diffused layer
-

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **04-373147**

(43)Date of publication of application : **25.12.1992**

(51)Int.Cl.

H01L 21/82

(21)Application number : **03-177316**

(71)Applicant : **NIPPON STEEL CORP**

(22)Date of filing : **21.06.1991**

(72)Inventor : **MURAI ICHIRO**
EGUCHI KOHEI

(54) FUSE STRUCTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To surely fuse a fuse by resistance heating which fuse is built in an internal wiring of a semiconductor device in order to change a circuit pattern in case of need after the semiconductor device is manufactured.

CONSTITUTION: A high resistance part 4 doped with boron is arranged in the middle part of a fuse main body part 1 of a fuse which is constituted of polycrystalline silicon doped with phosphorus and has the fuse main body part 1 and end portion electrode parts 2 for connection use formed on both ends of the fuse main body part 1. Since heat generation concentrates in the high resistance part 4 of the fuse main body parts 1 it can be surely fused at the high resistance part 4 without so much increasing the resistance of the whole part of the fuse.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-41481

(43)公開日 平成5年(1993)2月19日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/04

H 8427-4M

H 0 1 H 85/175

7250-5G

H 0 1 H 85/ 16

審査請求 未請求 請求項の数2(全 4 頁)

(21)出願番号 特願平3-196346

(22)出願日 平成3年(1991)8月6日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 林 満治

東京都港区芝五丁目7番1号日本電気株式
会社内

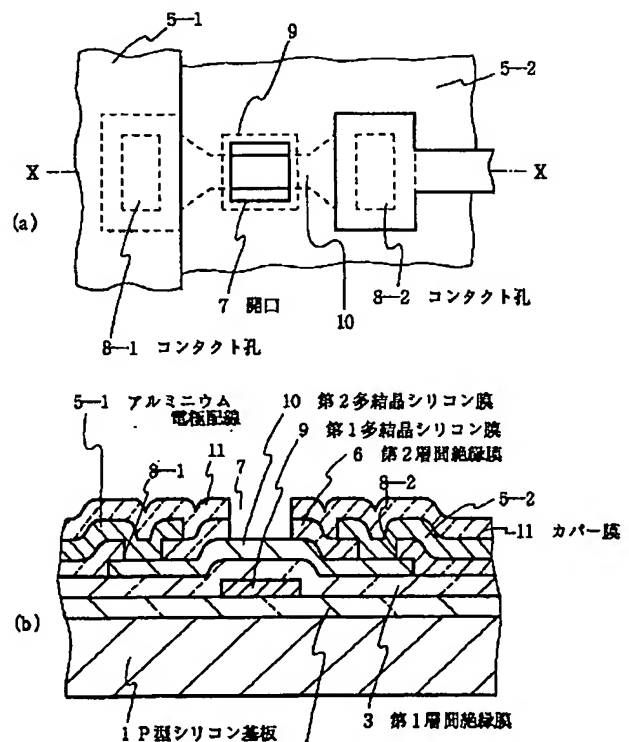
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】ヒューズ溶断の際に、基板への突き抜けを防ぐ。

【構成】溶断されるヒューズ素子の第2層多結晶シリコン膜10と半導体基板(1)の間に、第1層多結晶シリコン膜9を形成する。この第1層多結晶シリコン膜9は、第1層多結晶シリコン膜6の直下に設ける。これによって、レーザ光照射の際に基板へ突き抜け難くなる。



【特許請求の範囲】

【請求項1】 半導体チップの所定の絶縁膜上に形成された第1層多結晶シリコン膜と、前記第1層多結晶シリコン膜上に第1層間絶縁膜を介して設けられた第2層多結晶シリコン膜を含むヒューズ素子と、前記ヒューズ素子の第2層多結晶シリコン膜を被覆する第2層間絶縁膜に設けられたレーザ光照射用の開口とを有することを特徴とする半導体集積回路。

【請求項2】 半導体チップの所定の絶縁膜上に形成された多結晶シリコン膜を含むヒューズ素子と、前記多結晶シリコン膜を被覆する層間絶縁膜に設けられたレーザ光照射用の開口と、前記半導体チップを構成する第1導電型半導体基板の前記開口下部の表面部に設けられた第2導電型不純物拡散層とを有することを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路に関し、特に半導体記憶装置の冗長ビットセル置換用PRO M素子に使用されるレーザ光にて切断されるタイプのヒューズ素子に関する。

【0002】

【従来の技術】 従来、この種のヒューズ素子は、例えば図3に示すようにp型シリコン基板1上にLOCOS法を用いて熱酸化したフィールド酸化膜2上に第1層間絶縁膜3を介して設けられた、一対のアルミニウム電極配線5-1、5-2を有する多結晶シリコン膜4で構成されている。前述の多結晶シリコン膜上に第2層間絶縁膜11を介して設けられたアルミニウム電極配線5-1、5-2はコンタクト孔8-1、8-2によって多結晶シリコン膜4と接続される。ヒューズ溶断の際は、多結晶シリコン膜4をレーザ光で照射することによって切断される。

【0003】

【発明が解決しようとする課題】 この従来のヒューズ素子は、多結晶シリコン膜を第1層間絶縁膜を介してフィールド酸化膜上に形成していた為これをレーザ光にて切断する場合、レーザ光の強さによっては、第1層間絶縁膜3、フィールド酸化膜2を突き破り、p型シリコン基板表面が露出し、溶断したシリコンにより、アルミニウム電極配線5-1、5-2とp型シリコン基板との絶縁が悪くなる結果、漏れ電流の増大や絶縁不良を引起すという問題点があった。

【0004】

【課題を解決するための手段】 本願第1の発明の半導体集積回路は、半導体チップの所定の絶縁膜上に形成された第1層多結晶シリコン膜と、前記第1層多結晶シリコン膜上に第1層間絶縁膜を介して設けられた第2層多結晶シリコン膜を含むヒューズ素子と、前記ヒューズ素子の第2層多結晶シリコン膜を被覆する第2層間絶縁膜に設

けられたレーザ光照射用の開口とを有するというものである。

【0005】 又、本願第2の発明の半導体集積回路は、半導体チップの所定の絶縁膜上に形成された多結晶シリコン膜を含むヒューズ素子と、前記多結晶シリコン膜を被覆する層間絶縁膜に設けられたレーザ光照射用の開口と、前記半導体チップを構成する第1導電型半導体基板の前記開口下部の表面部に設けられた第2導電型不純物拡散層とを有するというものである。

【0006】

【実施例】 次に本発明の実施例について図面を参照して説明する。

【0007】 図1(a)は本発明の第1の実施例の主要部を示す半導体チップの平面図、図1(b)は図1

(a)のX-X線断面図である。

【0008】 この実施例は、半導体チップのフィールド酸化膜2上に形成された第1層多結晶シリコン膜9と、第1多結晶シリコン膜9上に第1層間絶縁膜3を介して設けられた第2層多結晶シリコン膜10を含むヒューズ素子と、前述のヒューズ素子の第2層多結晶シリコン膜10を被覆する第2層間絶縁膜6およびカバー膜11に設けられたレーザ光照射用の開口7とを有するというものである。

【0009】 第2層多結晶シリコン膜10は、第1多結晶シリコン膜9の上方を横断して、設けられ、幅1 μ m、長さ4 μ mであり、その両端には一対のアルミニウム電極配線5-1、5-2がオーミック接続されている。第1層間絶縁膜3、第2層間絶縁膜6は、CVD法で形成した酸化シリコン膜であり第1および第2層多結晶シリコン膜は、Siゲート電極及びセルの負荷抵抗の形成と同時に設けることができる。ヒューズ素子をレーザ光で溶断する場合に、第1多結晶シリコン膜9が下方にある為、多少強めのレーザ光で第2層多結晶シリコン膜10を溶断してもフィールド酸化膜を突き破る危険性が少なくなる。従って、従来技術で述べた漏れ電流の増大や絶縁不良の発生を少なくできるばかりでなく、レーザ光の強度不足により完全にトリミングできない確率を小さくすることができる。

【0010】 図2は本発明の第2の実施例の主要部を示す半導体チップの断面図である。

【0011】 この実施例は、半導体チップの第1層間絶縁膜3上に形成された多結晶シリコン膜4(第1層多結晶シリコン膜)を含むヒューズ素子と、多結晶シリコン膜4を被覆する第2層間絶縁膜6およびカバー膜11に設けられたレーザ光照射用の開口7と、前述の半導体チップを構成するp型シリコン基板1の開口7下部表面部に設けられたN型不純物拡散層とを有するというものである。

【0012】 p型シリコン基板1は通常接地電位にバイアスされているので、N型不純物拡散層12に電流が

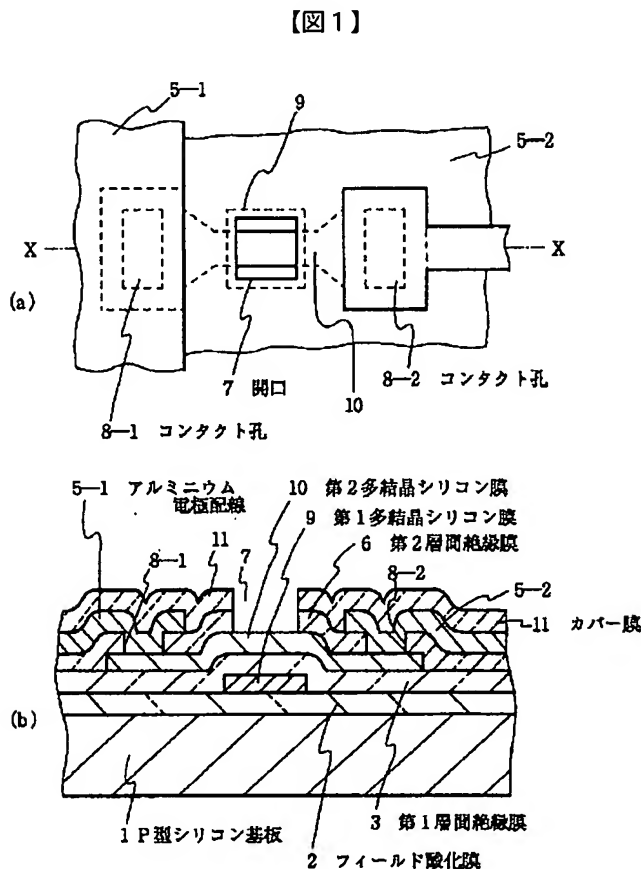
電圧が印加されても電氣的絶縁は確保され、第1の実施例と同様の効果が得られる。なお、CMOS集積回路においては、N型不純物拡散層12はNウェルと同時に形成できる。また、N型半導体基板（電源電位にバイアスされる）を使用する場合には、p型不純物拡散層を形成すればよい。

【0013】

【発明の効果】以上説明したように本発明は、レーザ光で溶断されるヒューズ素子の下に多結晶シリコン膜あるいは半導体基板とは逆導電型の不純物拡散層を形成することによって、レーザ光照射によるヒューズ素子のアルミニウム電極配線と半導体基板間の絶縁劣化の危険性を小さくすることが出来るという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す平面図（図1（a））および断面図（図1（b））である。



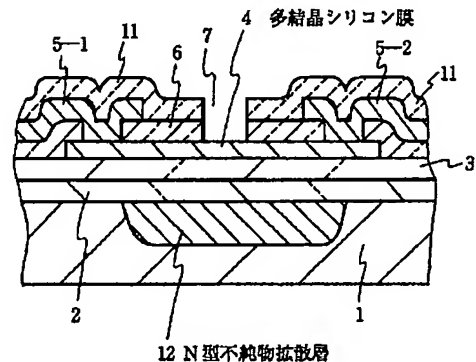
【図2】本発明の第2の実施例を示す断面図である。

【図3】従来の技術の説明に使用する平面図（図3（a））および断面図（図3（b））である。

【符号の説明】

- 1 p型シリコン
- 2 フィールド酸化膜
- 3 第1層間絶縁膜
- 4 多結晶シリコン層
- 5-1, 5-2 アルミニウム電極配線
- 6 第2層間絶縁膜
- 7 開口
- 8-1, 8-2 コンタクト孔
- 9 第1層多結晶シリコン膜
- 10 第2層多結晶シリコン膜
- 11 カバー膜
- 12 N型不純物拡散層

【図2】



【図3】

